

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

AC

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003331

(43)Date of publication of application : 07.01.2000

(51)Int.Cl. G06F 13/36  
G06F 12/08  
G06F 12/12

(21)Application number : 10-168889

(71)Applicant : NEC SOFTWARE SHIKOKU LTD

(22)Date of filing : 16.06.1998

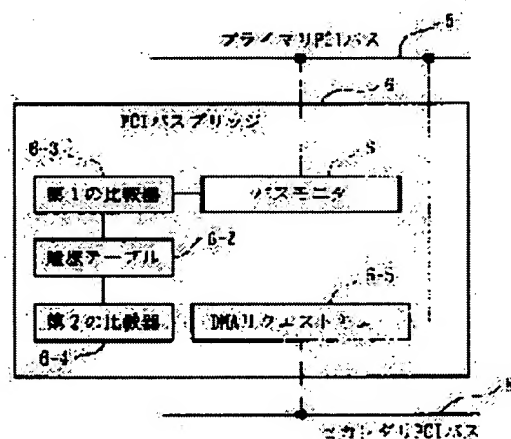
(72)Inventor : MAEJIMA NORIAKI

## (54) PCI/PCI BRIDGE CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress wasteful entry replacement and to effectively transfer data by changing the issuing order of DMA requests accumulated in a DMA request queue through the use of a history table.

**SOLUTION:** When a read request C is stored, a DMA request queue 6-5 issues the transfer addresses of a read request A, a write request B and a read request C and a comparison instruction which are held in the DMA request queue 6-5, to a second comparator 6-4. The second comparator 6-4 compares the transfer address of the respective requests A, B and C with the registered address of a history table 6-2, executes hit check and returns a response showing which transfer address is hit to the DMA request queue 6-5 when the matched addresses exist. The DMA request queue 6-5 exchanges the order of the DMA requests which are held in accordance with the response from the second comparator 6-4.



## LEGAL STATUS

[Date of request for examination] 16.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2938040

[Date of registration] 11.06.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-3331

(P2000-3331A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 6 F 13/36	3 2 0	G 0 6 F 13/36	3 2 0 A 5 B 0 0 5
12/08		12/08	X 5 B 0 6 1
			S
12/12		12/12	A

審査請求 有 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平10-168889

(22) 出願日 平成10年6月16日(1998.6.16)

(71) 出願人 000180379

四国日本電気ソフトウェア株式会社

愛媛県松山市衣山4丁目760番地

(72) 発明者 前島 宜昭

愛媛県松山市味酒町1-10-6 四国日本

電気ソフトウェア株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外4名)

Fターム(参考) 5B005 JJ13 KK15 KK16 MM01 QQ02

VV01

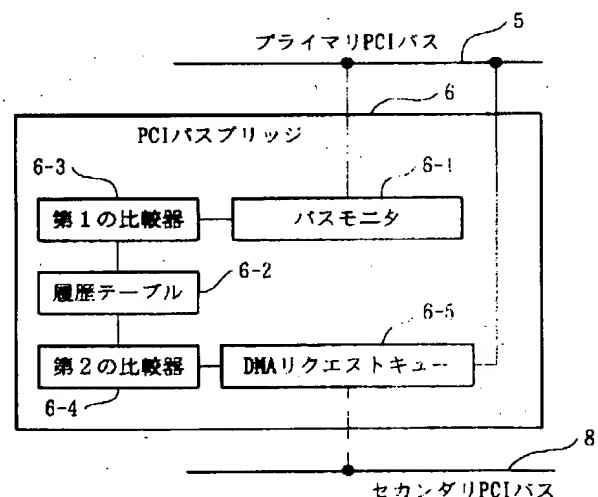
5B061 AA00 FF01 GG02 GG06

## (54) 【発明の名称】 PCI/PCIブリッジ回路

## (57) 【要約】

【課題】 PCIホストブリッジ回路に含まれるI/Oキャッシュの容量の制限から生じる、多数の周辺入出力装置からのDMA転送に伴うキャッシュエントリの無駄なエントリリプレースを抑える。

【解決手段】 プライマリPCIバスの転送リクエストを監視することによってPCIホストブリッジ内のI/Oキャッシュの状態を履歴テーブルに再現し、この情報を利用して、DMAリクエストキューに蓄えられた周辺入出力装置からのDMAリクエストのスケジューリングを行い、効率的なデータ転送を行う。



## 【特許請求の範囲】

【請求項1】 情報処理装置に用いられる、プライマリPCI (Peripheral Component Interconnect) バスとセカンダリPCIバスを相互接続するPCI/PCIブリッジ回路であって、前記プライマリPCIバスの状態を監視するバス監視部と、前記プライマリPCIバスにおけるDMA (Direct Memory Access) アクセスのリクエストの履歴情報を保持する履歴テーブルと、前記セカンダリPCIバスに接続される入出力装置からのDMAリクエストを保持するDMAリクエスト保持部と、前記バス監視部と前記履歴テーブルの間に接続される第1の比較器と、前記DMAリクエスト保持部と前記履歴テーブルの間に接続される第2の比較器とを備え、前記バス監視部は、前記プライマリPCIバスにおける転送リクエストを監視し、該転送リクエストが前記情報処理装置のメインメモリへのDMAアクセスである場合、該DMAアクセスのアドレスと比較命令を前記第1の比較器に発行し、前記第1の比較器は、前記比較命令により、前記DMAアクセスのアドレスと前記履歴テーブルの各エントリの登録アドレスを比較し、比較結果を前記履歴テーブルに発行し、前記履歴テーブルは、前記比較結果により、各エントリの内容を更新するとともに、前記DMAリクエスト保持部は、該DMAリクエスト保持部内で複数の転送リクエストが待ち状態となった場合、前記第2の比較器に前記転送リクエストのアドレスと比較命令を発行し、前記第2の比較器は、前記DMAリクエスト保持部からの比較命令により、前記転送リクエストのアドレスと前記履歴テーブルの登録アドレスを比較し、該履歴テーブルに同一のアドレスが存在する場合、前記DMAリクエスト保持部に比較結果を応答し、前記DMAリクエスト保持部は、前記第2の比較器からの応答により、前記アドレスに対応するリクエストを優先するように各エントリの順序を入れ替え、前記プライマリPCIバスへリクエストを発行することを特徴とするPCI/PCIブリッジ回路。

【請求項2】 前記履歴テーブルは、該履歴テーブルのエントリのリブレース方式として、CPUバスと前記プライマリPCIバスを相互接続するPCIホストブリッジ回路に備わるI/Oキャッシュのリブレース方式と同一のリブレース方式を用いて各エントリの内容を更新することを特徴とする請求項1記載のPCI/PCIブリッジ回路。

【請求項3】 前記履歴テーブルは、該履歴テーブルの

エントリのリブレース方式として、LRU (Least Recently Used) 方式を用いて各エントリの内容を更新することを特徴とする請求項1記載のPCI/PCIブリッジ回路。

【請求項4】 前記履歴テーブルは、前記プライマリPCIバスにおけるDMAアクセスの転送リクエスト・アドレスを保持するアドレス・フィールドと、当該エントリをリブレースする際の優先順位を示す優先度番号フィールドとからなる複数のエントリを備えるとともに、前記複数のエントリを更新処理する制御部を備えることを特徴とする請求項1ないし請求項3のいずれかに記載のPCI/PCIブリッジ回路。

【請求項5】 前記履歴テーブルの各エントリは、さらに、当該エントリが有効か無効かを示すバリッドビット・フィールドを備えることを特徴とする請求項4記載のPCI/PCIブリッジ回路。

【請求項6】 前記DMAリクエスト保持部は、前記セカンダリPCIバスにおける、該セカンダリPCIバスに接続された入出力装置からの転送リクエストのアドレスを保持するアドレス・フィールドと、前記転送リクエストのリクエスト・コマンドを保持するコマンド・フィールドと、前記転送リクエストがリード・リクエストの場合に、前記第2の比較器で比較した結果を保持するヒット・フィールドと、前記DMAリクエスト保持部に保持された転送リクエストの実行順序を示す順序フィールドとからなる複数のエントリと、前記順序フィールドを書き換えることにより実行順序を入れ替える制御と、前記第2の比較器への比較命令の発行を行なう制御部とを備えることを特徴とする請求項1ないし請求項5のいずれかに記載のPCI/PCIブリッジ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、PCI (Peripheral Component Interconnect) バスを利用する情報処理装置において、プライマリPCIバスと、入出力装置が接続されるセカンダリPCIバスとを相互接続するPCI/PCIブリッジ回路に関する。

## 【0002】

【従来の技術】 従来、PCIバスを利用するパーソナル・コンピュータ等の情報処理装置における入出力装置は、PCIホストブリッジ回路に含まれるI/Oキャッシュを経由してDMAアクセスを行なっている。I/Oキャッシュは、特にメインメモリのトラフィック低減と

3

I/Oバスのスループット向上及びレイテンシ低減のために用いられるが、このようなI/Oキャッシュにおいて、その容量の制限からキャッシュエントリ数は限られている。

#### 【0003】

【発明が解決しようとする課題】したがって、多数の入出力装置からのDMA転送により数の限られたキャッシュエントリの取り合いが発生する。特に、キャッシュエントリ数よりも多くの転送が一度に発生した場合には、エントリリプレースを繰り返すため、また、I/Oキャッシュのヒット判定を繰り返すため、I/Oキャッシュのメモリを全く発揮できない。その結果、上記目的と全く逆の効果を生んでしまい、効率的なデータ転送を行えない場合もある。これを防ぐためには、無駄なエントリリプレースを抑えることが必要である。

【0004】本発明は、上記の点に鑑みてなされたもので、PCIホストブリッジ回路に備わるI/Oキャッシュにおける無駄なエントリリプレースを抑えることで、効率的なデータ転送を行えるPCI/PCIブリッジ回路を提供するものである。

#### 【0005】

【課題を解決するための手段】本発明のPCIブリッジ回路は、情報処理装置に用いられる、プライマリPCI (Peripheral Component Interconnect) バスとセカンダリPCIバスを相互接続するPCI/PCIブリッジ回路であって、前記プライマリPCIバスの状態を監視するバス監視部と、前記プライマリPCIバスにおけるDMA (Direct Memory Access) アクセスのリクエストの履歴情報を保持する履歴テーブルと、前記セカンダリPCIバスに接続される入出力装置からのDMAリクエストを保持するDMAリクエスト保持部と、前記バス監視部と前記履歴テーブルの間に接続される第1の比較器と、前記DMAリクエスト保持部と前記履歴テーブルの間に接続される第2の比較器とを備え、前記バス監視部は、前記プライマリPCIバスにおける転送リクエストを監視し、該転送リクエストが前記情報処理装置のメインメモリへのDMAアクセスである場合、該DMAアクセスのアドレスと比較命令を前記第1の比較器に発行し、前記第1の比較器は、前記比較命令により、前記DMAアクセスのアドレスと前記履歴テーブルの各エントリの登録アドレスを比較し、比較結果を前記履歴テーブルに発行し、前記履歴テーブルは、前記比較結果により、各エントリの内容を更新するとともに、前記DMAリクエスト保持部は、該DMAリクエスト保持部内で複数の転送リクエストが待ち状態となった場合、前記第2の比較器に前記転送リクエストのアドレスと比較命令を発行し、前記第2の比較器は、前記DMAリクエスト保持部からの比較命令により、前記転送リクエストのアドレスと前記履歴テーブルの登録アドレスを比較し、該履

4

歴テーブルに同一のアドレスが存在する場合、前記DMAリクエスト保持部に比較結果を応答し、前記DMAリクエスト保持部は、前記第2の比較器からの応答により、前記アドレスに対応するリクエストを優先するように各エントリの順序を入れ替え、前記プライマリPCIバスへリクエストを発行する。

【0006】また、前記履歴テーブルは、該履歴テーブルのエントリのリプレース方式として、CPUバスと前記プライマリPCIバスを相互接続するPCIホストブリッジ回路に備わるI/Oキャッシュのリプレース方式と同一のリプレース方式を用いて各エントリの内容を更新する。

【0007】または、前記履歴テーブルは、該履歴テーブルのエントリのリプレース方式として、LRU (Least Recently Used) 方式を用いて各エントリの内容を更新する。

【0008】さらに、前記履歴テーブルは、前記プライマリPCIバスにおけるDMAアクセスの転送リクエスト・アドレスを保持するアドレス・フィールドと、当該エントリをリプレースする際の優先順位を示す優先度番号フィールドからなる複数のエントリを備えるとともに、前記複数のエントリを更新処理する制御部を備える。

【0009】また、前記履歴テーブルの各エントリは、さらに、当該エントリが有効か無効かを示すバリッドビット・フィールドを備える。

【0010】さらに、前記DMAリクエスト保持部は、前記セカンダリPCIバスにおける、該セカンダリPCIバスに接続された入出力装置からの転送リクエストのアドレスを保持するアドレス・フィールドと、前記転送リクエストのリクエスト・コマンドを保持するコマンド・フィールドと、前記転送リクエストがリード・リクエストの場合に、前記第2の比較器で比較した結果を保持するヒット・フィールドと、前記DMAリクエスト保持部に保持された転送リクエストの実行順序を示す順序フィールドからなる複数のエントリと、前記順序フィールドを書き換えることにより実行順序を入れ替える制御と、前記第2の比較器への比較命令の発行を行なう制御部とを備える。

#### 【0011】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0012】図1に、本発明の一実施形態であるPCI/PCIブリッジ回路を含む情報処理システムの構成を示す。また、図2に本発明の一実施形態であるPCI/PCIブリッジ回路の内部構成を示す。

【0013】図1に示すように、本実施形態では、CPU・1と、CPU・1からの直結バスであるCPUバス2に接続されるPCIホストブリッジ回路3と、PCIホストブリッジ回路3に含まれるI/Oキャッシュ3-

5

1と、PCIホストブリッジ回路3に接続されるメインメモリ4と、PCIホストブリッジ回路3の直結バスであるプライマリPCIバス5に接続されるPCI/PCIブリッジ回路6と、同じくプライマリPCIバス5に接続される入出力装置7（図では1つのみ表示）と、PCI/PCIブリッジ回路6の直結バスであるセカンダリPCIバス8に接続される入出力装置9-1、9-2、9-3、…とから構成される情報処理装置に組み込み使用する。

【0014】本発明のPCI/PCIブリッジ回路6の構成要素は、図2に示すように、プライマリPCIバス5に接続され、プライマリPCIバス5の状態を監視するバス監視部としてのバスモニタ6-1と、プライマリPCIバス5におけるDMA（Direct Memory Access）アクセスのリクエストの履歴情報を保持する履歴テーブル6-2と、バスモニタ6-1と履歴テーブル6-2に接続される第1の比較器6-3と、履歴テーブル6-2に接続される第2の比較器6-4と、プライマリPCIバス5とセカンダリPCIバス8の各バスと第2の比較器6-4に接続され、セカンダリPCIバス8に接続される入出力装置9-1、9-2、9-3、…からのDMAリクエストを保持するDMAリクエスト保持部としてのDMAリクエストキュー6-5とからなる。

【0015】履歴テーブル6-2は、一実施形態として、プライマリPCIバス5におけるDMAアクセスの転送リクエスト・アドレスを保持するアドレス・フィールドと、当該エントリが有効か無効かを示すバリッドビット・フィールドと、当該エントリをリプレースする際の優先順位を示す優先度番号フィールドとからなる複数のエントリを備えるとともに、I/Oキャッシュ3-1に用いられるLRU方式等のリプレース方式と同一のリプレース方式で各エントリを更新する制御部を備える。なお、図3に履歴テーブル6-2のエントリの構成を示す。また、バリッドビット・フィールドは、必ずしも必要としないが、I/Oキャッシュ3-1がエントリフラッシュ機能を持ち、それを外部から監視することが可能である場合、フラッシュされたI/Oキャッシュ3-1のエントリに対応する履歴テーブル6-2のエントリを無効として設定する等の使い方ができる。

【0016】DMAリクエストキュー6-5は、一実施形態として、セカンダリPCIバス8に接続された入出力装置9-1、9-2、9-3、…からの転送リクエストのアドレスを保持するアドレス・フィールドと、転送リクエストのリクエスト・コマンドを保持するコマンド・フィールドと、転送リクエストがリード・リクエストの場合に、第2の比較器6-4で比較した結果を保持するヒット・フィールドと、DMAリクエストキュー6-5に保持された転送リクエストの実行順序を示す順序フィールドとからなる複数のエントリと、順序フィールド

6

を書き換えることにより、実行順序を入れ替える制御と、第2の比較器6-4への比較命令の発行を行なう制御部を備える。なお、図4にDMAリクエストキュー6-5のエントリの構成を示す。

【0017】なお、PCIバス規格に基づくデータ転送を行なうためのPCIバスコントローラ、データバッファ等は図示せず、その説明は省略する。

【0018】次に、このように構成された本実施形態のPCI/PCIブリッジ回路を組込んだ情報処理システムの動作について説明する。

【0019】PCIホストブリッジ回路3が入出力装置7等からのDMAリクエストを受け取った場合、PCIホストブリッジ回路3はI/Oキャッシュ3-1にヒットするか否かを判断し、ヒットした場合にはI/Oキャッシュ3-1とプライマリPCIバス5との間で転送を行なう。また、ヒットしなかった場合には、メインメモリ4をリードし、I/Oキャッシュ3-1内にエントリを作成するとともに、プライマリPCIバス5との間で転送を行なう。制御方式によってはメインメモリ4のデータをリードせずにI/Oキャッシュエントリのみを作成する場合もある。

【0020】本実施形態では、I/Oキャッシュ3-1のリプレース方式は32バイト8エントリ構成のLRU（Least Recently Used）方式とする。なお、本LRU方式はキャッシュエントリなどのリプレース方式として知られており、最も長く使用されていないエントリがリプレースされる方式である。

【0021】次に、バスモニタ6-1、第1の比較器6-3、および履歴テーブル6-2までの動作について説明する。なお、図5にここで説明する一連の動作フローチャートを示す。

【0022】バスモニタ6-1は、プライマリPCIバス5上のメインメモリ4への転送リクエスト（自PCI/PCIブリッジ回路6配下の入出力装置9-1、9-2、9-3、…と、プライマリPCIバス5下の他の入出力装置7を含めて）を監視し、プライマリPCIバス5に転送リクエストが発生したか判定する（ステップS1）。

【0023】ステップS1において、プライマリPCIバス5に転送リクエストが発生した場合、その転送アドレスをデコードし、この転送リクエストがPCIホストブリッジ回路3を経由したメインメモリ4へのDMAアクセスであるか判定する（ステップS2）。そして、この転送リクエストがPCIホストブリッジ回路3を経由したメインメモリ4へのDMAアクセスの場合、その転送アドレスを取り込む。そして、第1の比較器6-3に対して、バスモニタ6-1が取り込んだ転送アドレスと、この転送アドレスと履歴テーブル6-2が保持している登録アドレスとを比較させるための比較命令を発行する。

10

20

30

40

50

【0024】第1の比較器6-3は、バスモニタ6-1からの比較命令により、履歴テーブル6-2に、上記転送アドレスと同一の登録アドレスが存在するか否かの判定を行う(ステップS3)。そして、履歴テーブル6-2に対し、比較結果を発行する。このとき、一致したアドレスが存在したならばそのアドレスまたはエントリを、一致するアドレスが存在しなければ、上記転送アドレスを送信する。

【0025】履歴テーブル6-2は、上記転送アドレスと履歴テーブル6-2の登録アドレスが一致した場合、すなわち履歴テーブル6-2にヒットした場合、既に履歴テーブル6-2に同一アドレスをもつエントリが存在するのであるから、履歴テーブル6-2のアドレスは変更せず、ヒットしたエントリの優先度のみを最優先の状態に変更する(ステップS4)。

【0026】上記転送アドレスと履歴テーブル6-2の登録アドレスが一致しない場合は、LRU方式で、履歴テーブル6-2のエントリを更新する(ステップS5)。なお、本実施形態では、履歴テーブル6-2をI/Oキャッシュ3-1に合わせて、リプレース方式は32バイト8エントリ構成のLRU方式とする。

【0027】次に、セカンダリPCIバス8からのDMAリクエストが発生した場合の、DMAリクエストキュー6-5、第2の比較器6-4、および履歴テーブル6-2の動作について説明する。

【0028】セカンダリPCIバス8からのDMAリクエストが発生した場合、PCIバスコントローラは、一旦DMAリクエストキュー6-5にリクエストの情報を格納し、プライマリPCIバス5の使用権を要求する。プライマリPCIバス5の使用権を獲得した後、順次プライマリPCIバス5に発行する。

【0029】さらにDMAリクエストキュー6-5内で、PCIバス規格に基づくオーダリングルールの範囲内で、順序を入れ替えることが可能な未処理のリードリクエストが複数待たされている状態が生じた場合の動作を説明する。

【0030】なお、上記PCIバス規格に基づくオーダリングルールは、データの整合性を保つためのルールであり、メモリへのアクセスの場合、リードリクエストが先に発行されたライトリクエストを追い越すことが禁じられ、また、ライトリクエストが先に発行されたライトリクエストを追い越すことも禁じられている。

【0031】一例として、リードリクエストA・ライトリクエストB・リードリクエストCという順序でDMAリクエストキュー6-5に格納されたとする。リードリクエストCが格納された時点で、DMAリクエストキュー6-5は、第2の比較器6-4に対し、DMAリクエストキュー6-5に保持されているリードリクエストA・ライトリクエストB・リードリクエストCの転送アドレスと比較命令を発行する。

【0032】第2の比較器6-4は、DMAリクエストキュー6-5からの比較命令を受け、各リクエストA、B、Cの転送アドレスと履歴テーブル6-2の登録アドレスとを比較し、ヒットチェックを行なう。そして、各リクエストA、B、Cの転送アドレスと履歴テーブル6-2の登録アドレスとで一致したアドレスが存在した場合、どの転送アドレスがヒットしたかをDMAリクエストキュー6-5に応答する。

【0033】DMAリクエストキュー6-5は、第2の比較器6-4からの応答により、保持しているDMAリクエストの順序入れ替えを行なう。

【0034】ここで、例えば、リードリクエストAはヒットせず、リードリクエストCはヒットしたとする。この場合、ライトリクエストB、リードリクエストC、リードリクエストAの順にDMAリクエストキュー6-5内のリクエストの順序を変更し、この順序でリクエストをプライマリPCIバス5に発行する。なお、リクエストの順序は、PCIバス規格のオーダリングルールに従うため、リードリクエストCがライトリクエストBを追い越すことは出来ない。従って、リードリクエストCを最初にPCIバス5に対して発行することは不可能であり、上記オーダにのみ順序変更が可能となる。

【0035】なお、I/Oキャッシュ3-1の方式は、32バイト8エントリ構成のLRU方式だけではない。例えば、1エントリ内のバイト数やエントリ数はどのような数であっても、履歴テーブル6-2のエントリ数と比較器6-3、比較器6-4の比較ビット数をI/Oキャッシュ3-1に合わせることで対応できる。

【0036】また、リプレース方式についても同様に、どのような方法であっても履歴テーブル6-2のリプレース方式をI/Oキャッシュ3-1と同じ方式にすることで対応できる。

【0037】なお、I/Oキャッシュ3-1の構成や方式が不明の場合、または、プライマリPCIバス5を監視するだけではI/Oキャッシュ3-1のリプレースを監視しきれない場合がある。後者の例は、PCIホストブリッジ回路3の上位のCPU・1などからのアクセスによりI/Oキャッシュ3-1がプライマリPCIバス5に関係なくリプレースされる場合である。これらのような場合、履歴テーブル6-2をI/Oキャッシュ3-1に完全に追従させることは不可能であるが、どのような方式であっても性能を追求した場合に基本的にはLRU方式が取られており、また、プライマリPCIバス5以外からI/Oキャッシュ3-1の各エントリの状態に影響を与えることはまれであるので、本実施形態の方式で履歴テーブル6-2を更新すればある程度正確な履歴テーブル6-2が作成でき、効果を望むことができる。

【0038】このように、常にPCIホストブリッジ回路3のI/Oキャッシュ3-1の状態を監視しておくため、I/Oキャッシュ3-1にヒットするリクエストを

10

20

30

40

50

優先して発行することができる。これにより、先行するリクエストによるI/Oキャッシュ3-1のエントリリプレースによって、ヒットするはずだった後続のリクエストがヒットしなくなるといった無駄なリプレースを防ぐことができる。したがって、エントリ数が小さい場合でも、I/Oキャッシュ3-1の効果が上がる。

【0039】また、I/Oキャッシュ3-1のエントリが十分にあり、エントリの取り合いが発生しない場合でも、I/Oキャッシュ3-1のエントリリプレースが発生するリクエストを後に回すことにより、I/Oキャッシュ3-1のエントリリプレースによるレイテンシ増加による、後に続くリクエストのレイテンシ増加の削減を期待できる。

【0040】

【発明の効果】発明の実施の形態で説明したように、本発明のPCI/PCIブリッジ回路では、PCIホストブリッジに備わるI/Oキャッシュの状態を履歴テーブルに再現させ、この履歴テーブルを利用してDMAリクエストキューに蓄えられたDMAリクエストの発行順序を変更するようにしたので、本発明のPCI/PCIブリッジ回路を経由したDMAリクエストは、PCIホストブリッジ回路内のI/Oキャッシュにヒットする確率が高くなるとともに、ミスヒットによるリプレースが発生しにくくなるため、プライマリPCIバスおよびセカンダリPCIバスのスループットを高めることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態であるPCI/PCIブ

リッジ回路を含む情報処理装置の構成を示すブロック図である。

【図2】 本発明の一実施形態であるPCI/PCIブリッジ回路の内部構成及びPCIホストブリッジ回路の一部を示すブロック図である。

【図3】 一実施形態である履歴テーブルのエントリの構成を示す図である。

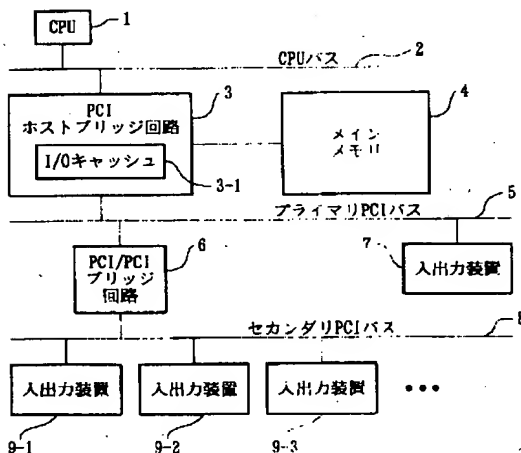
【図4】 一実施形態であるDMAリクエストキューのエントリの構成を示す図である。

【図5】 本実施形態の履歴テーブルの作成と更新動作を示すフローチャートである。

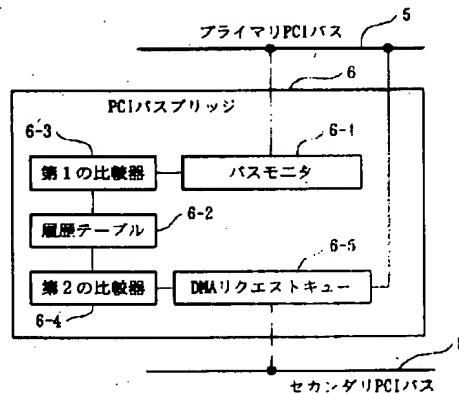
【符号の説明】

- 1 CPU
- 2 CPUバス
- 3 PCIホストブリッジ回路
- 3-1 I/Oキャッシュ
- 4 メインメモリ
- 5 プライマリPCIバス
- 6 PCI/PCIブリッジ回路
- 6-1 バスモニタ
- 6-2 履歴テーブル
- 6-3 第1の比較器
- 6-4 第2の比較器
- 6-5 DMAリクエストキュー
- 7 入出力装置
- 8 セカンダリPCIバス
- 9-1、9-2、9-3 入出力装置

【図1】



【図2】



【図3】

履歴テーブルのエントリ

アドレス	バリッドビット	優先度 号
------	---------	-------



【図4】

DMAリクエストキューのエン트리			
アドレス	コマンド	ヒット	順序

【図5】

